

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091452

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/02

H01L 27/115

(21)Application number : 11-201973

(71)Applicant : TOSHIBA MICROELECTRONICS CORP
TOSHIBA CORP

(22)Date of filing : 15.07.1999

(72)Inventor : TATSUMI YUICHI
OTA HITOSHI
SATO KAZUHIKO
SUZUKI NORIAKI
MINAGAWA EISHIN

(30)Priority

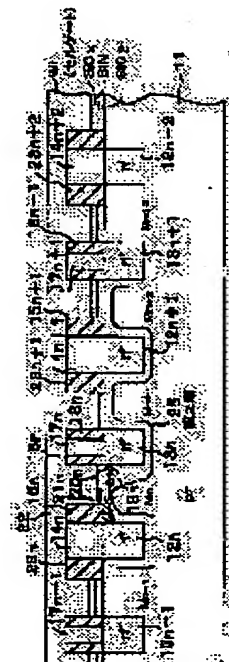
Priority number : 10200823 Priority date : 15.07.1998 Priority country : JP

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor storage device constituted so that data are neither written to nor read out of unselected memory cell transistors adjacent to a memory cell transistor, which is selected by mistake when the data are written or read.

SOLUTION: This semiconductor storage device is so constituted that a leakage current from a selected memory cell transistor to an adjacent unselected memory cell transistor is limited to a small current, by covering the top surface of a substrate 11 adjacent to an embedding region 12n formed on a semiconductor substrate 11 with an offset side wall 15n, so as to make a channel hard to expand below it and further limited in either direction by sandwiching both the sides of an embedding region 13n which has one non-offset sidewall pinched between offset sidewall type embedding regions 12n and 12n+1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91452

(P2000-91452A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.	識別記号	F I	マークシート (参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		G 1 1 C 17/00	6 1 2 E
29/792		H 0 1 L 27/10	4 3 4
G 1 1 C 16/02			
H 0 1 L 27/115			

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号	特願平11-201973	(71) 出願人	000221199 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1
(22) 出願日	平成11年7月15日 (1999.7.15)	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(31) 優先権主張番号	特願平10-200823	(72) 発明者	辰巳 雄一 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内
(32) 優先日	平成10年7月15日 (1998.7.15)	(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
(33) 優先権主張国	日本 (J P)		

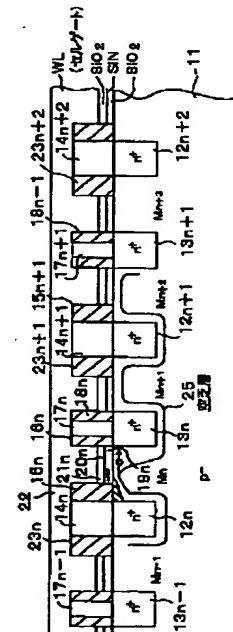
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 データの書き込み、読みだし時に選択されたメモリセルトランジスタに隣接する非選択のメモリセルトランジスタに誤って書き込みまたは読みだしが行われないように構成した半導体記憶装置を提供することを目的とする。

【解決手段】 半導体基板11に形成された埋め込み領域12nに隣接する基板11の表面をオフセットサイドウォール15nで覆い、この下ではチャンネルが拡大しにくいようにして選択メモリセルトランジスタから隣接する非選択のメモリセルトランジスタへの漏れ電流を少なく制限できるようにし、かつ、一つの非オフセットサイドウォールを持つ埋め込み領域13nの両側をオフセットサイドウォール型の埋め込み領域12n、12n+1で挟む構成にしていずれの方向にも漏れ電流を制限できるように構成される。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、
前記半導体基板内に互いに所定距離をおいて形成された
第2導電型の複数のソース領域と、
互いに隣り合う2個のソース領域の間に夫々形成された
第2導電型の複数のドレイン領域と、
前記ソース領域に接続されたソース電極と、
このソース領域の前記ドレイン領域に面する側の側面に
その底面が前記半導体基板の表面を覆うようにオフセッ
ト形成された第1のサイドウォールと、
前記ドレイン領域に接続されたドレイン電極と、
前記ドレイン領域の前記ソース領域に面する側の端縁に
一致する前縁を持ちその底面が前記ソース領域の表面を
覆うように形成された第2のサイドウォールと、
前記ソース領域とドレイン領域との間の第1、第2のサ
イドウォールに挟まれた前記半導体基板の表面に夫々形
成された第1の絶縁膜と、
この第1の絶縁膜の上に形成された窒化膜と、
この窒化膜の上に形成された第2の絶縁膜と、
前記ソース領域、ドレイン領域、および第2の絶縁膜の
上方に共通に形成されたワード線として用いられるゲー
ト電極と、
を具備することを特徴とする不揮発性メモリトランジス
タアレイを有する半導体記憶装置。

【請求項2】 前記ソース領域およびドレイン領域はそ
れぞれ前記半導体基板の表面領域に埋め込み層として形
成されたことを特徴とする請求項1に記載の半導体記憶
装置。

【請求項3】 データ書き込み時に前記ゲート電極に印
加されるゲート電圧値に応じた量の電荷を前記窒化膜に
蓄積させる書き込み手段と、
データ読み出し時に前記窒化膜に蓄積された電荷量に応
じた出力をデータとして読み出す読み出し手段と、
を具備したことを特徴とする請求項1に記載の半導体記
憶装置。

【請求項4】 データ書き込み、読みだし時に前記ソー
ス領域の前後に形成された2個のドレイン領域のうちの
一方を指定してこの指定した方のドレイン領域との間に
データ書き込み、読みだし動作を実行する指定手段を有
することを特徴とする請求項1に記載の半導体記憶装
置。

【請求項5】 データ書き込みシーケンスの最後に前記
メモリセルアレイのすべてのカラム線、ビット線、埋め
込み領域の電位を強制的に V_{ss} 電位に設定してリセッ
トを行う手段を具備することを特徴とする請求項2に記
載の半導体記憶装置。

【請求項6】 データ書き込み時に前記窒化膜に蓄積さ
れた電子を前記ゲート電極または半導体基板のいずれか
一方に向けて引き抜く手段を具備することを特徴とする
請求項1に記載の半導体記憶装置。

【請求項7】 第1導電型の半導体基板と、
前記半導体基板内に互いに所定距離をおいて形成された
第2導電型の複数のソース領域と、
互いに隣り合う2個のソース領域の間に夫々形成された
第2導電型の複数のドレイン領域と、
前記ソース領域に接続されたソース電極と、
このソース領域の前記ドレイン領域に面する側の側面に
その底面が前記半導体基板の表面を覆うようにオフセッ
ト形成された第1のサイドウォールと、
前記ドレイン領域に接続されたドレイン電極と、
前記ドレイン領域の前記ソース領域に面する側の端縁に
一致する前縁を持ちその底面が前記ソース領域の表面を
覆うように形成された第2のサイドウォールと、
前記ソース領域とドレイン領域との間の第1、第2のサ
イドウォールに挟まれた前記半導体基板の表面に夫々形
成された第1の絶縁膜と、
この第1の絶縁膜の上に形成された窒化膜と、
この窒化膜の上に形成された第2の絶縁膜と、
前記ソース領域、ドレイン領域、および第2の絶縁膜の
上方に共通に形成されたワード線として用いられるゲー
ト電極とから構成された複数のメモリセルトランジスタ
を有するメモリセルアレイと、
少なくともデータの書込み、読み出し時にアドレスによ
り選択された1個のメモリセルトランジスタを構成する
ソース、ドレイン、ゲートにのみ所定の電位を与え、非
選択のメモリセルトランジスタは全てフローティング状
態に保持する手段と、
を具備することを特徴とする不揮発性メモリトランジス
タアレイを有する半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MONOS素子
として知られ記憶電荷を窒化膜に蓄積する型の不揮発性
メモリセルを用いる半導体記憶装置に関する。

【0002】

【従来の技術】MONOS素子はセルトランジスタのチャ
ネル部とゲートの間に酸化膜などの絶縁膜に挟まれた
窒化膜を備え、この窒化膜の中へ記憶電荷である電子を
蓄えることができる構造を有する。

【0003】この窒化膜に電子が蓄えられている場合、
ゲートに電圧が加わった際にゲートから加えられる電界
が窒化膜に蓄えられている電子の量に応じて相殺され、
電子がある状態のセルと、無い状態のセルでセルトラン
ジスタのしきい値電圧を異ならせることができる。この
しきい値電圧を異ならせることができるセルトランジス
タの特性を利用して、データの記録を行っている。

【0004】

【発明が解決しようとする課題】しかしながら従来のM
ONOS素子セルを用いた半導体記憶装置では、例えば
書き込み時には選択されたメモリセルトランジスタのド

レイン側を書き込み電位、ソース側を V_{ss} 電位にバイアスすることになる。選択されたメモリセルトランジスタ以外のメモリセルトランジスタのソース、ドレインに関してはすべてフローティング電位となる。このため選択されたメモリセルトランジスタに隣接する非選択のメモリセルトランジスタのソース電位がメモリセルトランジスタのドレイン電位より低いと、このドレインから非選択のメモリセルトランジスタのソースに電流が流れ、結果としてこの非選択のメモリセルトランジスタに誤書き込みが行われることになる。

【0005】このような現象はデータの読み出し時にも同様にして生じる。

【0006】そこで、この発明は、データの書き込み、読みだし時に選択されたメモリセルトランジスタに隣接する非選択のメモリセルトランジスタに誤って書き込みまたは読みだしが行われないように構成した半導体記憶装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明の半導体記憶装置は、第1導電型の半導体基板と、前記半導体基板内に互いに所定距離をおいて形成された第2導電型の複数のソース領域と、互いに隣り合う2個のソース領域の間に夫々形成された第2導電型の複数のドレイン領域と、前記ソース領域に接続されたソース電極と、このソース領域の前記ドレイン領域に面する側の側面にその底面が前記半導体基板の表面を覆うようにオフセット形成された第1のサイドウォールと、前記ドレイン領域の前記ソース領域に面する側の端縁に一致する前縁を持ちその底面が前記ソース領域の表面を覆うように形成された第2のサイドウォールと、前記ソース領域に接続されたソース電極と、前記ソース領域とドレイン領域との間の第1、第2のサイドウォールに挟まれた前記半導体基板の表面に夫々形成された第1の絶縁膜と、この第1の絶縁膜の上に形成された窒化膜と、この窒化膜の上に形成された第2の絶縁膜と、前記ソース領域、ドレイン領域、および第2の絶縁膜の上方に共通に形成されたワード線として用いられるゲート電極とから構成されている。

【0008】上記の構成により書き込み、読み出し時に選択されたメモリセルトランジスタのドレイン領域に隣接する非選択のメモリセルトランジスタのソース領域にオフセットのサイドウォールが形成されているので、このサイドウォールの直下においては空乏層の広がり制限されてチャネルが殆どできず、選択されたメモリセルトランジスタから隣接の非選択のメモリセルトランジスタに向けて流れる漏れ電流が制限され、更にはカットオフされ、誤書き込み、誤読み出しが防止できる。

【0009】また、この発明の半導体記憶装置は、第1導電型の半導体基板と、前記半導体基板内に互いに所定距離をおいて形成された第2導電型の複数のソース領域と、互いに隣り合う2個のソース領域の間に夫々形成さ

れた第2導電型の複数のドレイン領域と、前記ソース領域に接続されたソース電極と、このソース領域の前記ドレイン領域に面する側の側面にその底面が前記半導体基板の表面を覆うようにオフセット形成された第1のサイドウォールと、前記ドレイン領域に接続されたドレイン電極と、前記ドレイン領域の前記ソース領域に面する側の端縁に一致する前縁を持ちその底面が前記ソース領域の表面を覆うように形成された第2のサイドウォールと、前記ソース領域とドレイン領域との間の第1、第2のサイドウォールに挟まれた前記半導体基板の表面に夫々形成された第1の絶縁膜と、この第1の絶縁膜の上に形成された窒化膜と、この窒化膜の上に形成された第2の絶縁膜と、前記ソース領域、ドレイン領域、および第2の絶縁膜の上方に共通に形成されたワード線として用いられるゲート電極とから構成された複数のメモリセルトランジスタを有するメモリセルアレイと、少なくともデータの書き込み、読み出し時にアドレスにより選択された1個のメモリセルトランジスタを構成するソース、ドレイン、ゲートにのみ所定の電位を与え、非選択のメモリセルトランジスタは全てフローティング状態に保持する手段とから構成されている。

【0010】上記の構成により、サイドウォールがオフセットのソース領域と非オフセットのドレイン領域とが交互に配列されているので、書き込み、読み出し時に、選択されたメモリセルトランジスタの高電位のドレイン領域に直に隣接する非選択のメモリセルトランジスタのソース領域にその浮遊容量を充電する電流が流れたとしても、この充電されたソース領域に対してさらに隣接するにドレイン領域はこのソース領域より高い電位に充電されることはない。しかもこのソース領域にオフセットのサイドウォールが形成されているので、このサイドウォールの直下においては空乏層の広がり制限されてチャネル反転層が殆どできず、従って選択されたメモリセルトランジスタから特に高い電位のドレイン側に隣接の非選択のメモリセルトランジスタに向けて流れる漏れ電流が制限される。従って、データ書き込み、読み出し時に選択されたメモリセルトランジスタにのみ所定の電位を与え、非選択のメモリセルトランジスタには何らの電位も与えることなくフローティング状態であっても誤書き込み、誤読み出しが防止できるので書き込み読み出し回路は簡単化できる。

【0011】

【発明の実施の形態】以下、この発明の第1の実施の形態について図面を参照して説明する。

【0012】図1は後で説明するメモリセルアレイにおいて複数のビット線に交差する1本のワード線WLに接続された行方向の複数のメモリセルトランジスタ配列の構造を示す断面図である。

【0013】図1において、p型の半導体基板11のセル形成領域には複数のn+型の第1の埋め込み領域12

n 、 $12n+1$ 、 $12n+2$ …と、複数の n +型の第2の埋め込み領域 $13n-1$ 、 $13n$ 、 $13n+1$ …が交互に形成される。第1の埋め込み領域 $12n$ …は夫々のメモリセルトランジスタ $Mn-1$ 、 Mn 、 $Mn+1$ 、…においてソース領域として使用される。たとえば、第1の埋め込み領域 $12n$ と所定距離をおいて形成された第2の埋め込み領域 $13n$ は同じメモリセルトランジスタ Mn のドレイン領域として使用される。メモリセルトランジスタ $Mn+1$ では埋め込み領域 $12n+1$ がソース領域として使用され、埋め込み領域 $13n$ がそのドレイン領域として共通に使用される。

【0014】たとえばメモリセルトランジスタ Mn において、ソース領域 $12n$ には図示しないソース電極が接続される。

【0015】このソース領域 $12n$ の前記ドレイン領域 $13n$ に面する側の側面には、その底面が前記半導体基板11の表面を覆うように絶縁物で形成された第1のサイドウォール15nが設けられる。

【0016】また、前記ドレイン領域 $13n$ の上には、前記ソース領域 $12n$ に面する側のドレイン領域 $13n$ の端縁に一致する端縁を持ちその底面がドレイン領域 $13n$ の表面を覆うように形成された第2のサイドウォール16nが設けられる。この第2のサイドウォール16nも同様に絶縁物で形成される。ソース領域 $13n$ は図示しないソース電極に接続される。この実施の形態ではサイドウォール16nの反対側の側面にもサイドウォール18nが形成される。

【0017】更に、メモリセルトランジスタ Mn において前記第1、第2のサイドウォール15n、16nに挟まれた前記半導体基板11の表面には夫々絶縁膜である第1のシリコン酸化膜19nが形成され、この第1のシリコン酸化膜19nの上には窒化膜20nが形成される。この窒化膜20nの上にはさらに第2のシリコン酸化膜21nが形成され、最後に前記サイドウォール15n、16n、絶縁膜14n、17n、および第2の酸化膜21nの上に共通にポリシリコンでなるゲート電極22が形成される。このようにしてMONOS構造を有するメモリセル Mn が構成される。

【0018】このゲート電極22はワード線WLとして用いられるもので、このワード線WLに接続される他のすべてのメモリセルトランジスタ $Mn+1$ …に対して共通にゲート電極として用いられる。

【0019】即ち、このソース領域 $12n$ とドレイン領域 $13n$ の間に形成されるメモリセルトランジスタ Mn と同様にその前後に形成されたソース領域 $12n+1$ 、ドレイン領域 $13n-1$ との間にも夫々メモリセルトランジスタ $Mn-1$ 、 $Mn+1$ が形成される。

【0020】同様にして順次メモリセルトランジスタ $Mn+2$ 、 $Mn+3$ …が形成され、すべてがワード線WLに接続される。

【0021】ここで、図2を参照して図1に示したメモリセルトランジスタ Mn におけるデータの書き込み動作を説明する。

【0022】さらに、図1、図2を参照してたとえば書き込み時に選択されたメモリセルトランジスタ Mn と非選択の隣接メモリセルトランジスタ $Mn+1$ における半導体基板11内部の空乏層25の状態を含む動作状態を説明する。

【0023】例えば図1においてメモリセルトランジスタ Mn が選択されたときの動作状態を図2を参照して説明する。このMONOS構造を有するセル Mn では窒化膜20nに電子（ホットエレクトロン）が注入された状態を書き込み状態とするが、以下の説明では窒化膜20nに電子が蓄えられた状態を”0”書き込み、電子が注入されていない状態を”1”書き込みと定める。

【0024】書き込み時には、基板11とソース領域 $12n$ の電位を夫々”0”ボルトに固定し、ドレイン領域 $13n$ には”0”書き込み用の電圧、例えば5ボルトを印加する。この状態でゲート電極（ワード線WL）22に所定の書き込み用の高電圧例えば7ボルトを印加する。

【0025】すると、ソース領域 $12n$ よりドレイン領域 $13n$ の下方の方がプラスの電圧が高いため基板11中の空乏層25がより深く伸び、図2のようになる。

【0026】この状態でゲート電極22に印加される電圧が高くと、サイドウォール15nの下方の基板11表面領域にくさび型にチャネル26が形成される。このチャネル26の先端はサイドウォール15nの下方からさらに伸び出して絶縁膜19nの下部に達する。

【0027】この状態ではチャネル26の先端部分からはホットエレクトロンが発生する。この発生したホットエレクトロンの大部分e1はドレイン領域 $13n$ の方向へ基板11の表面領域に沿って移動するが、一部e2はゲート電極22による電界効果により絶縁膜19nを通過して窒化膜20n内にトラップされ、蓄えられる。

【0028】この際、選択されたメモリセルトランジスタ Mn のドレイン領域 $13n$ 側に隣接する図1のメモリセルトランジスタ $Mn+1$ ではそのソース領域 $12n+1$ のドレイン領域 $13n$ 側にあるサイドウォール23n+1の下方に形成される空乏層25は図1に示すように領域 $12n+1$ に沿って僅かに伸びるのみである。従って、選択されたメモリセルトランジスタ Mn からその隣接する非選択のメモリセルトランジスタ $Mn+1$ に流れる電流が最小限に抑制され、最終的にはカットオフされることになり、誤書き込みあるいは誤読み込みが防止される。

【0029】図3はこの様な構成を有するMONOSメモリ素子を行方向および列方向にそれぞれ1024個ずつマトリクス状に配列して構成されたセルアレイ30に対するデータ書き込み回路のブロック図を示す。

【0030】図3において、このセルアレイ30のアドレス指定は12ビットのアドレスA0～A11により行われる。このうち、A7～A11の5ビットのアドレスはロウ（行方向）のみ制御する入力アドレスであり、ロウ/カラムを制御する入力アドレスA0、A1とともにロウデコーダ31に供給され、このロウデコーダ31はセルアレイ30においてひとつのソース領域に対してその前後にある2個のドレイン領域のうちのいずれを選択するかを決定する信号SGSi、SGDiを出力する。

【0031】一方、ロウ/カラムを制御する入力アドレスA0、A1とカラムのみ制御する入力アドレスA2～A6はカラムデコーダ32に供給され、その出力のカラムデコード信号Hi（H0～H32）がカラムゲート回路33に供給される。カラムデコーダ32からはさらにデータクロック信号Diが出力され、データ書き込み回路34に供給される。この書き込み用のVpp/Vssはパッド37から供給される。

【0032】このデータ書き込み回路34に供給されるデータ入力切り替え回路35を介してパッド36から供給される。このパッド36にはデータ入力および読みだし電圧バイアス（I/O）信号が供給される。なお、セルアレイ30には複数のワード線に接続されたパッド38が接続される。このパッド38はワード線の本数分だけもうけられる。この実施の形態の場合は32個である。

【0033】その他、パッドとしてはSGSi/SGDi向きのVpp/Vss印加用のパッド39、カラムデコーダ32用のVpp/Vss印加用のパッド40、Vcc用のパッド41、Vss/P型基板11用バイアスパッド42、W/Eパッド43およびR/Wパッド44が形成される。

【0034】また、データ書き込み回路34からのCL信号はカラムゲート33に供給され、このカラムゲート33とセルアレイ30とは図4に示すようにしてビット線/カラム線により接続される。

【0035】図4において、図3のセルアレイ30を構成する複数のメモリセルトランジスタのソース領域にそれぞれ接続される複数のビット線Bit0～Bit31はそれぞれカラムゲート33に設けられたゲートトランジスタGTBを介して共通に切り替え回路51の切り替えゲートTG1、TG2に接続される。この切り替え回路51にはさらにべつの切り替えゲートTG3、TG4が設けられているが、これらの詳細については図6を参照して後で述べる。

【0036】また、セルアレイ30を構成する複数のメモリセルトランジスタのドレイン領域にそれぞれ接続される複数のカラム線Col0～Col32はそれぞれカラムゲート33に設けられたゲートトランジスタGTCを介して共通にL、R切り替え用の切り替えゲートSWL、SWRに接続される。

【0037】この切り替えゲートSWL、SWRはたとえば図1の選択されたメモリセルトランジスタMnのドレイン領域13nに対してその前後のメモリセルトランジスタMn、Mn+1のソース領域12n、12n+1のいずれを選択するかを決定するための切り替えゲートである。つまり、図1においてメモリセルトランジスタMnのように左側にソース領域12n、右側にドレイン領域13nがあるようなメモリセルトランジスタを用いるか、あるいはメモリセルトランジスタMn+1のように左側にドレイン領域13n、右側にソース領域12n+1があるようなメモリセルトランジスタを用いるかを決定するための切り替え手段である。

【0038】切り替えゲートSWL、SWRの一方は共通にデータ書き込み回路34に接続される。この切り替えは切り替えゲートSWL、SWRを構成するトランジスタのゲートに切り替え信号を供給して導通させることにより行われるがこの動作は後で図7、図8を参照して詳細に説明する。

【0039】図5はデータ書き込み回路34の内部構成の一例を詳細に示す回路図であり、図4に示すライトイネーブル（W/E）端子43はNAND回路34-1の一方の入力端子に接続され、データ入力端子Dinからインバータ34-2を介して他の入力端子へ供給されたデータ入力とのNAND出力がこのNAND回路34-1から得られ、それがトランスファゲート34-3を介してpチャネル型トランジスタ34-4、nチャネル型トランジスタ34-5でなるインバータ回路34-6を介してCL出力端子34-7に”LOW”信号が出力される。

【0040】この”LOW”信号はVpp端子34-8に接続されたpチャネル型トランジスタ34-9でなる保持回路により保持されるように構成されている。

【0041】従って、端子43にライトイネーブル信号が入力され、データ入力Dinがあれば、このデータDinが出力端子34-7に書き込み信号CLとして出力されることになる。この信号CLはLRの切り替え信号に従ってドレイン領域に接続されたビット線Bitに対して右側のソース領域のカラム線Ca1に供給するか、左側のソース領域のカラム線Ca1に供給されるかが決まる。

【0042】ここで、図6を参照して図4の切り替え回路51の内部構成の一例を詳細に説明する。図6において、図4のリード/ライト（R/W）端子44に入力されたR/W信号はそれぞれ切り替えゲートTG1～TG4を構成するpチャネル型トランジスタ51-1、51-2およびnチャネル型トランジスタ51-3、51-4のゲートに接続される。

【0043】さらにこのR/W信号はインバータ51-5を介して反転された後、切り替えゲートTG1のnチャネル型トランジスタ51-6と切り替えゲートTG2

のpチャネル型トランジスタ51-7とのゲートに共通に接続されるとともに、切り替えゲートTG3のnチャネル型トランジスタ51-8と切り替えゲートTG4のpチャネル型トランジスタ51-9とのゲートに共通に接続される。

【0044】トランジスタ51-1、51-6およびトランジスタ51-4、51-9の一端は共通にデータ入出力端子(I/O)36に接続され、トランジスタ51-3、51-7およびトランジスタ51-2、51-8の一端は共通に接地される。また、トランジスタ51-1、51-6およびトランジスタ51-3、51-7の他端は共通にビット線(BL)接続端子51-10に接続され、トランジスタ51-2、51-8およびトランジスタ51-4、51-9の他端は共通にデータ書き込み回路34のデータ入力端子Dinに接続される。

【0045】従って、R/W端子44にR/W信号が入力されると、切り替えゲートTG4のトランジスタ51-4が導通して、この時I/O端子36にデータ入力があると、このデータがDin端子からデータ書き込み回路34に供給されることになる。

【0046】ここで、図4の切り替えゲートSWL, SWRを構成するトランジスタのゲートに切り替え信号L, Rを供給する方法を図7、図8を参照して詳細に説明する。図7は切り替え信号Rを形成する回路を示し、入力アドレス信号A0, A1およびRWWE信号がNOR回路61-1に供給され、そのNOR出力がトランスファゲート61-2を介して、pチャネル型トランジスタ61-3、nチャネル型トランジスタ61-4でなるインバータ回路61-5を介して出力端子61-6に"LOW"信号が"R"信号として出力される。この"LOW"信号はpチャネル型トランジスタ61-7でなる保持回路により保持される。

【0047】RWWE信号は読みだし、書き込み時には"LOW", リセット時には"HIGH"となる信号である。このリセット動作については後で図11、12を参照して説明する。

【0048】また、図8は切り替え信号Lを形成する回路を示し、入力アドレス信号A0, A1がNOR回路62-1に供給され、その出力とRWWE信号とが他のNOR回路62-2に供給される。そのNOR出力はトランスファゲート62-3を介して、pチャネル型トランジスタ62-4、nチャネル型トランジスタ62-5でなるインバータ回路62-6を介して出力端子62-7に"LOW"信号が"L"信号として出力される。この"LOW"信号はpチャネル型トランジスタ62-8でなる保持回路により保持される。

【0049】ここでL, R信号の切り替えに用いられるアドレス信号A0, A1は図3で説明したようにロウ/カラムを制御する入力アドレスであり、たとえば図9を参照してセルアレイにおけるセル[A], [B]にデ

ータ書き込みを行う動作シーケンスを説明する。

【0050】セル[A]はオフセット側埋め込み層のビット線Yと埋め込み層Xに接続され、セレクトゲートSGyとSGxとを介してS2, D1のビット線/カラム線に接続される。

【0051】セル[B]はオフセット側埋め込み層のビット線Wと埋め込み層Zに接続され、セレクトゲートSGwとSGzとを介してS3, D3のビット線/カラム線に接続される。

【0052】これらのセレクトゲートはそれぞれカラムゲートとカラムデコード信号により選択される。従って、例えば図9の円Cで囲んで示した部分においてどのセルが選択されたかは信号SGS1, SGS2, SGD1, SGD2によりどのビット線Bitとカラム線Colが選択されたかが決定されることになるので、たとえば図1の埋め込み領域のうちサイドウォールがオフセットされた埋め込み領域か、非オフセットの埋め込み領域かが判定できることになる。

【0053】以下、図10、図11、図12、図13を参照して、データ書き込みシーケンスとデータ消去シーケンスとを詳細に説明する。

【0054】図10はいろいろな動作状態のときのデータ書き込み回路34の出力CLの変化とそれぞれの時における入力信号の状態を示す図表である。

【0055】図11、12において、データ書き込み時には電源Vcc, 書き込み時ドレイン電圧Vpp, カラムデコード向けVpp, SGDi/SGSi向けVppがすべて"HIGH"状態となっている。

【0056】図11、12において、図9のセル[A]への書き込み用の入力アドレスが供給された状態で、たとえば"0"書き込み時には図10に示すようにCL信号は書き込み用の高電圧Hv, パッド43へのW/Eが"HIGH", パッド36へのI/O信号が"LOW", パッド44へのR/Wが"HIGH"となる。

【0057】セル[A]への"0"書き込みの状態では図11、12に示すようにまず期間T1では選択されたオフセットカラム線、非オフセットの埋め込み領域はそれぞれVss電位に設定され、ついで、期間T2では選択されたオフセットカラム線、非オフセットの埋め込み領域はそれぞれ書込電位でバイアスされる。

【0058】一方、この期間T1, T2に相当する期間T3ではそれ以外の非選択のカラム線、ビット線、埋め込み領域はすべてフローティング状態となる。

【0059】最後に、期間T4になると、全てのカラム線、ビット線、埋め込み領域が再びVss電位に設定され、セルアレイ全体がリセットされる。このように、データ書き込む前には必ずW/E信号をLOWレベルにしてビット線、カラム線、のリセットを行うため、前の書き込みデータが"1"でも"0"でも書き込み条件は同一となる。

【0060】図11、12においてセル[A]への“0”書き込みが終わると、前記のリセット期間T4の後、つぎのセル[B]への書き込みのためのアドレスが入力され、同様に“1”または“0”書き込みが行われる。

【0061】“1”書き込み時には図10に示すようにCL信号は書き込み用の低電圧 V_{ss} 、パッド43へのW/Eが“HIGH”、パッド36へのI/O信号が“HIGH”、パッド44へのR/Wも“HIGH”となる。

【0062】最後に図13を参照して“0”データ消去の方法を説明する。この“0”データ消去は図2の窒化膜20nに蓄積された電子e2をこの窒化膜20n内から取り除くことであり、その方法としては、電子e2を基板11側へ引き抜く方法と、ワード線22側へ引き抜く方法とがある。

【0063】図13の[1]の側に示した方法は電子e2を基板11側へ引き抜く場合であり、すべてのワード線WLに負方向に高い電圧を印加し、このときビット線17n、カラム線14n、オフセット側埋め込み領域12n、非オフセット側埋め込み領域13nおよびCL信号をすべてゼロ電位とし、カラム制御線のみに V_{cc} を与える。

【0064】また、図13の[2]の側に示した方法は電子e2をワード線WL側へ引き抜く場合であり、すべてのワード線WLに正方向に高い電圧を印加することが異なるのみで、あとの条件はすべて電子e2を基板11側へ引き抜く場合と同じである。

【0065】

【発明の効果】以上詳述したようにこの発明によれば、データの書き込み、読みだし時に選択されたメモリセル

トランジスタに隣接する非選択のメモリセルトランジスタに誤って書き込みまたは読みだしが行われないように構成した半導体記憶装置を提供することができる。

【図面の簡単な説明】

05 【図1】この発明の一実施の形態における行方向のメモリセルアレイの内部構造を示す断面図。

【図2】図1のメモリセルを1個取り出して示す拡大図。

10 【図3】この実施の形態のシステム全体を示すブロック図。

【図4】図3の主要部の回路構成を示すブロック図。

【図5】図4のデータ書き込み回路の詳細な回路図。

【図6】図4の切り替え回路の詳細な回路図。

15 【図7】図3の切り替え信号Rを生成する詳細な回路図。

【図8】図3の切り替え信号Lを生成する詳細な回路図。

【図9】図3のメモリセルの一部を示す回路図。

【図10】データ書き込み回路の動作条件を示す図。

20 【図11】図3のシステムのデータ書き込みシーケンスを示すタイムチャート。

【図12】図3のシステムのデータ書き込みシーケンスを示すタイムチャート。

25 【図13】図3のシステムのデータ消去シーケンスを示すタイムチャート。

【符号の説明】

34…データ書き込み回路

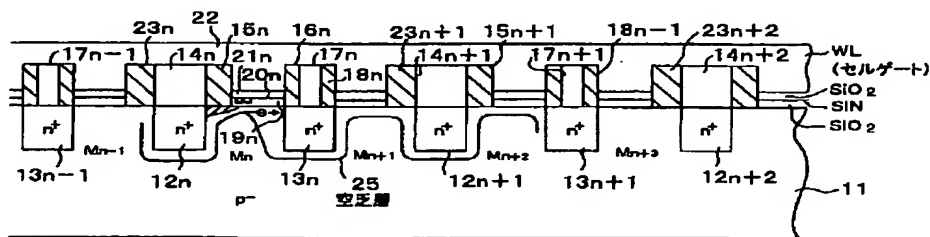
36…I/O入力パッド

43…W/Eパッド

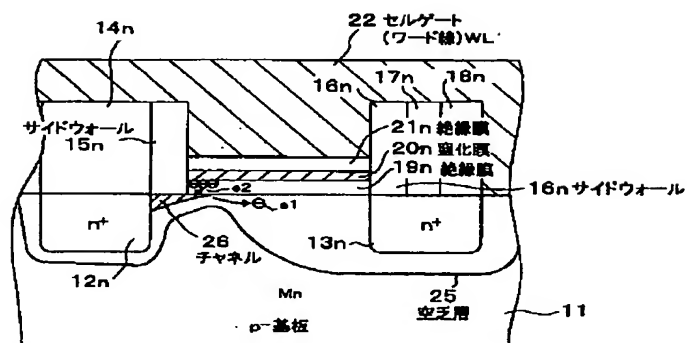
30 44…R/Wパッド

51…切り替え回路

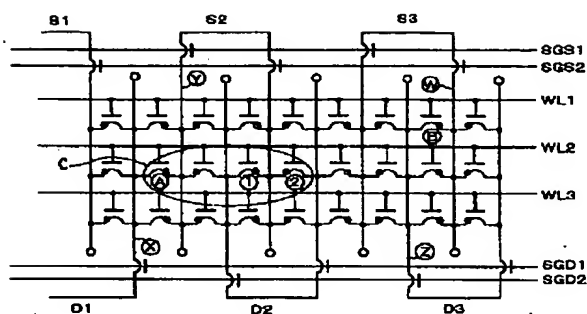
【図1】



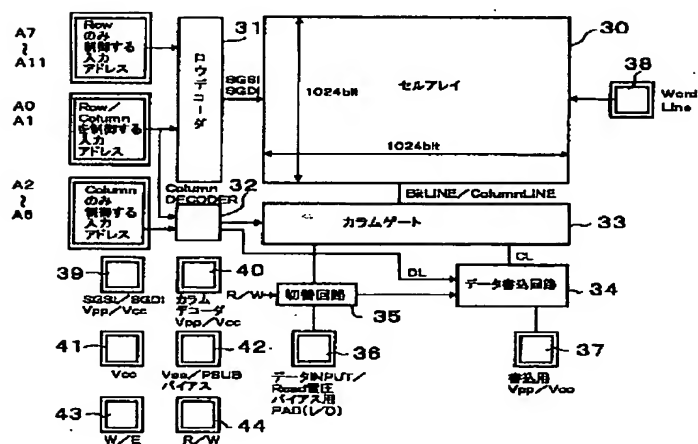
【図2】



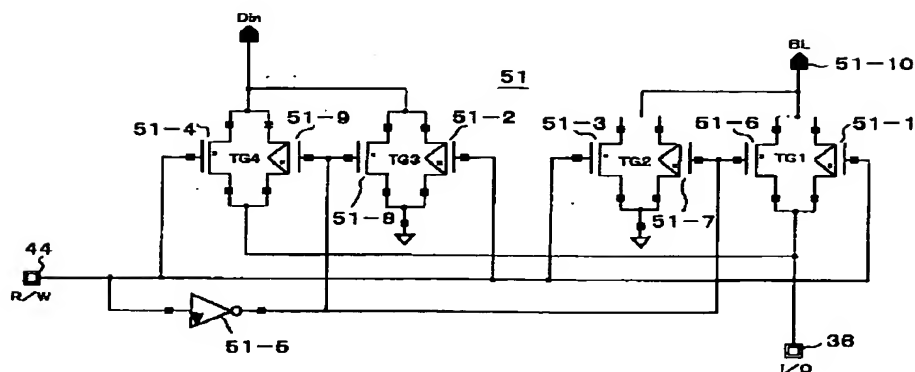
【図9】



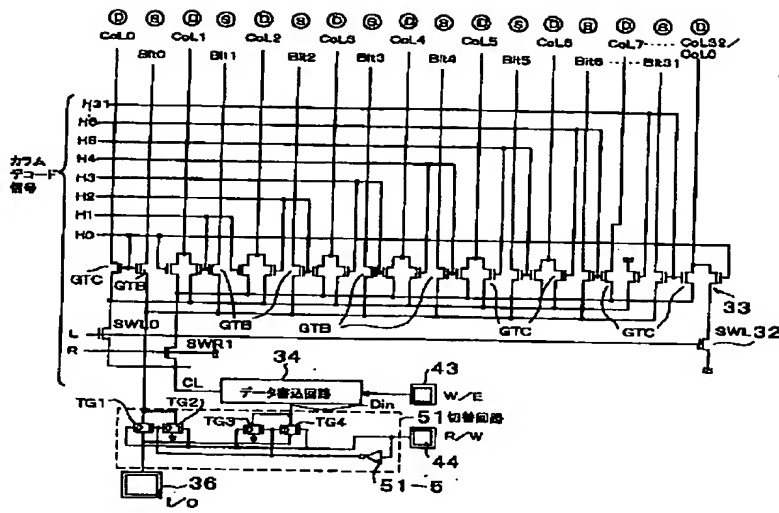
【図3】



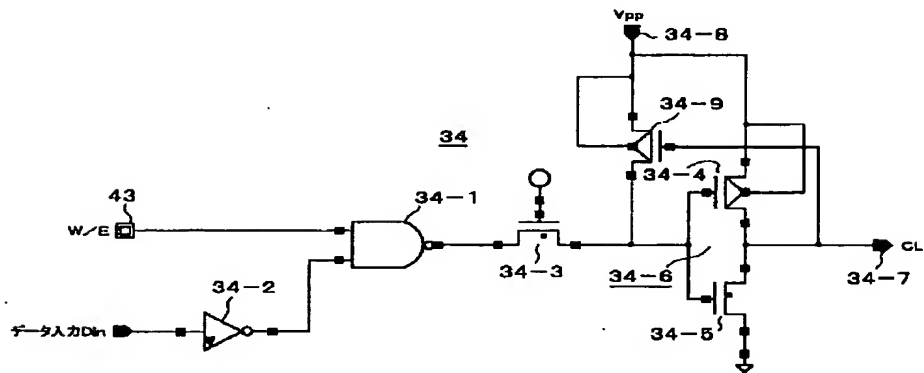
【図 6】



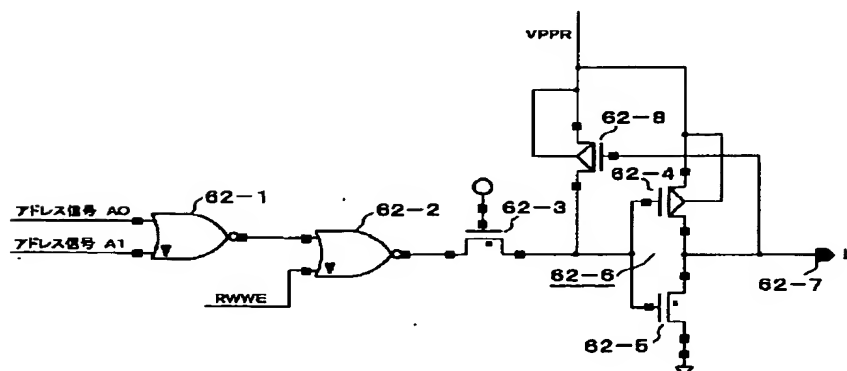
【図4】



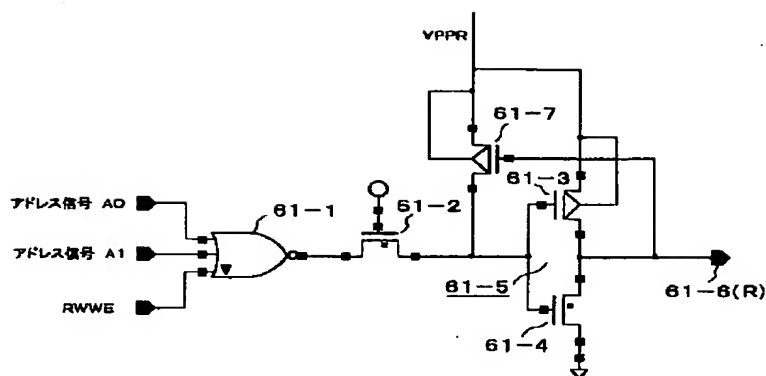
【図5】



【図8】



【図7】

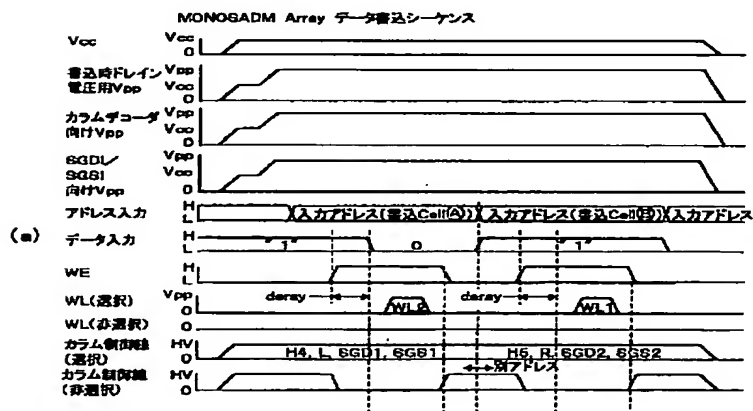


【図 10】

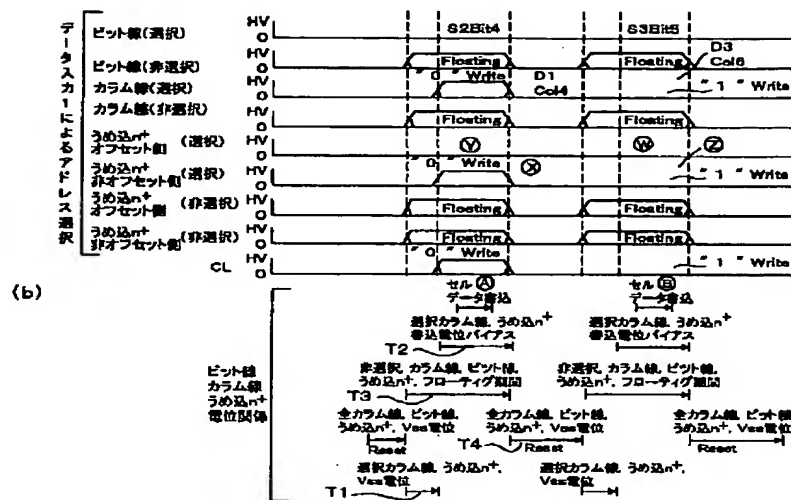
データ書込回路の出力

		Read時	"1" Write時	"0" Write時	Write Reset	Vth一価測定	ERASE
①	CL	VBS	VBS	HV(書き電圧)	VSS	VBS	VSS
②	W/E(外側PAD)	L	H	H	L	L	L
③	I/O(外側PAD)	読み出し電位	H	L	unknown	unknown	unknown
④	R/W(外側PAD)	L	H	H	H	L	H

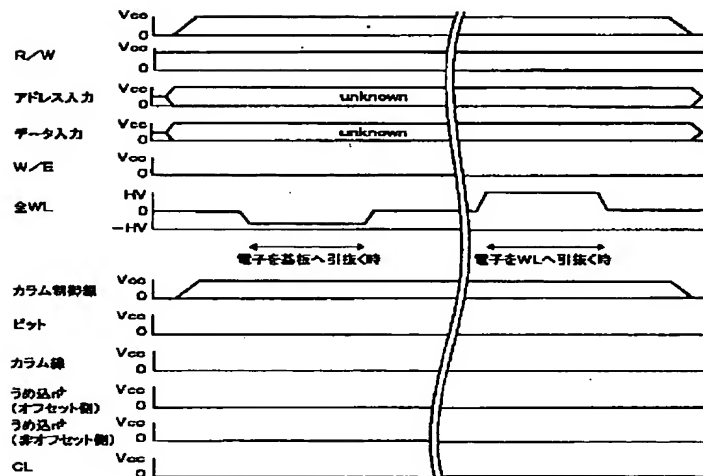
【☒ 1 1】



【図 12】



【图 13】



フロントページの続き

(72)発明者	太田 均	
	神奈川県川崎市川崎区駅前本町25番地 1	
	東芝マイクロエレクトロニクス株式会社内	45
(72)発明者	佐藤 一彦	
	神奈川県川崎市川崎区駅前本町25番地 1	
	東芝マイクロエレクトロニクス株式会社内	

(72)発明者 鈴木 範明
神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 皆川 英信
神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内